

Э. В. Запонов, А. А. Мартынов, М. В. Марунин

СХЕМОТЕХНИЧЕСКОЕ ПОСТРОЕНИЕ ЭЛЕМЕНТОВ ЭЛЕКТРОННО-ВЫЧИСЛИТЕЛЬНЫХ МАШИН



ФГУП «Российский федеральный ядерный центр –
Всероссийский научно-исследовательский институт
экспериментальной физики»

Э. В. Запонов, А. А. Мартынов, М. В. Марунин

СХЕМОТЕХНИЧЕСКОЕ ПОСТРОЕНИЕ ЭЛЕМЕНТОВ ЭЛЕКТРОННО-ВЫЧИСЛИТЕЛЬНЫХ МАШИН

Учебно-методическое пособие

Саров
2015

УДК 621.3.049.77 + 004
ББК 32.973

Одобрено научно-методическим советом Саровского физико-технического института Национального исследовательского ядерного университета «МИФИ»

Рецензенты: кандидат технических наук, доцент *В. Ф. Ключев* (Нижегородский государственный университет им. Н. И. Лобачевского), кандидат технических наук, доцент, проректор по научной работе *Н. Ю. Бабанов* (Нижегородский государственный технический университет им. Р. Е. Алексеева)

Запонов Э. В., Мартынов А. А., Марунин М. В.

3-30 Схмотехническое построение элементов электронно-вычислительных машин. Учебно-методическое пособие. – Саров: ФГУП «РФЯЦ-ВНИИЭФ», 2015. – 108 с.

ISBN 978-5-9515-0275-9

Настоящее учебно-методическое пособие создано на основе материалов лекций и практических занятий для студентов по курсу «Схмотехника ЭВМ». В пособии рассмотрены характеристики и параметры логических элементов, описана схмотехническая реализация базовых логических элементов, комбинационных и последовательностных схем, а также их применение.

Пособие может быть полезно преподавателям и студентам соответствующих специальностей, а также инженерно-техническим и научным работникам, занимающимся разработкой и применением электронно-вычислительной техники.

УДК 621.3.049.77 + 004
ББК 32.973

Авторы выражают благодарность *М. В. Одинцову* за помощь в оформлении пособия

ISBN 978-5-9515-0275-9

© ФГУП «РФЯЦ-ВНИИЭФ», 2015

Содержание

Введение	5
1. Базовые логические элементы	14
1.1. Основные параметры и характеристики логических элементов	14
1.2. Быстродействие логических элементов	21
2. Основные логические функции	25
3. Составление логических функций	29
4. Производные основных логических функций	31
5. Схемотехническая реализация основных логических функций	34
5.1. Резистивно-транзисторная логика	36
5.2. Диодно-транзисторная логика	37
5.3. Транзисторно-транзисторная логика	39
5.4. Интегральная инжекционная логика	42
5.5. Эмиттерно-связная логика	44
5.6. n -канальная МОП-логика	46
5.7. Комплементарная МОП-логика	48
5.8. Обзор основных параметров логических элементов	52
6. Типовые комбинационные устройства	54
6.1. Преобразователи кодов	54
6.1.1. Дешифраторы	54
6.1.2. Шифраторы	63
6.1.3. Преобразование произвольных кодов	63
6.2. Коммутаторы	64
6.2.1. Мультиплексоры	64
6.2.2. Демультиплексоры	68
6.3. Арифметические устройства	69
6.3.1. Сумматоры	69
6.3.2. Цифровые компараторы	71

6.3.3. Контроль четности	73
6.4. Постоянные запоминающие устройства	74
6.4.1. Параметры ПЗУ	75
6.4.2. Построение блоков памяти на БИС ПЗУ	75
6.4.3. Применение ПЗУ для реализации произвольных логических функций	79
6.5. Программируемые логические матрицы	79
7. Последовательностные схемы	81
7.1. Триггеры	81
7.1.1. RS-триггер	81
7.1.2. D-триггер типа «защелка»	84
7.1.3. Двухступенчатые триггеры	86
7.1.4. Асинхронные входы триггеров	89
7.2. Регистры	90
7.2.1. Параллельные регистры	90
7.2.2. Регистровая память	92
7.2.3. Сдвигающие регистры	94
7.3. Счетчики	95
7.3.1. Общие понятия	95
7.3.2. Асинхронные счетчики	96
7.3.3. Синхронные счетчики	98
7.3.4. Интегральные счетчики	99
7.3.5. Счетчики с различными коэффициентами пересчета	102
7.3.6. Применение счетчиков	103
7.4. Оперативные запоминающие устройства	104
7.4.1. Разновидности оперативной памяти	104
7.4.2. Построение блоков ОЗУ	106
Список литературы	107

следовательно, импульс за импульсом, по нескольким выходам. Одно из главных применений РИ – системы обегавшего контроля, где РИ управляют поочередным подключением однотипных датчиков ко входу измерителя.

РИ могут строиться по различным схемам. Чаще всего это двоичный счетчик с дешифратором (ДШ). Счетчик последовательно перебирает двоичные коды, ДШ в соответствии с ними последовательно возбуждает свои выходы. При этом нужно помнить, что ДШ будет расшифровывать не только верные, установившиеся состояния счетчика, но и неуставившиеся, ложные. В результате на выходах такого РИ кроме нормальных сигналов будут появляться короткие всплески напряжения (у ДШ с прямыми выходами) или короткие провалы до нуля (у ДШ с инверсными выходами). Эти сигналы отсутствуют при использовании синхронных счетчиков или их можно устранить, стробируя ДШ по входам разрешения и запрещая его работу на время существования ложного состояния счетчика.

Роль распределителя импульсов может выполнять и сдвиговый регистр с единственнойдвигающейся единицей.

7.4. Оперативные запоминающие устройства

7.4.1. Разновидности оперативной памяти. Оперативная память (*Random access memory – RAM*), т. е. память с произвольным доступом, используется центральным процессором для совместного хранения данных и исполняемого программного кода. По принципам хранения информации оперативные запоминающие устройства (ОЗУ) можно разделить на статические и динамические. Оперативную память можно рассматривать как некий набор ячеек, каждая из которых может хранить один информационный бит.

В статических ОЗУ ячейки построены с использованием различных вариантов триггеров. После записи бита в такую ячейку она может сохранять его сколь угодно долго – необходимо

только наличие питания. Отсюда и название памяти – статическая, т. е. пребывающая в неизменном состоянии. Достоинством статической памяти является ее быстродействие, а недостатками – высокое энергопотребление и низкая удельная плотность данных, поскольку одна триггерная ячейка состоит из нескольких транзисторов и, следовательно, занимает на кристалле немало места. К примеру, микросхема емкостью 4 Мбит состояла бы более чем из 24 млн транзисторов, потребляя соответствующую мощность.

В динамических ОЗУ элементарная ячейка представляет собой конденсатор, выполненный по КМОП-технологии. Такой конденсатор способен в течение нескольких миллисекунд сохранять электрический заряд, наличие которого можно ассоциировать с информационным битом. При записи логической единицы в ячейку памяти конденсатор заряжается, при записи нуля – разряжается. При считывании данных конденсатор разряжается, если его заряд был ненулевым, то на выходе схемы считывания устанавливается единичное значение. Процесс считывания (обращения к ячейке) сочетается с восстановлением (регенерацией) заряда. Если обращения к ячейке не происходит в течение длительного времени, то конденсатор за счет токов утечки разряжается и информация теряется. Для компенсации утечки заряда периодически циклически обращаются к ячейкам памяти, так как каждое обращение восстанавливает прежний заряд конденсатора. К достоинствам динамической памяти относятся высокая плотность размещения данных и низкое энергопотребление, а к недостаткам – низкое быстродействие по сравнению со статической памятью.

В настоящее время динамическая память (*Dynamic RAM – DRAM*) используется в качестве оперативной памяти компьютера, а статическая память (*Static RAM – SRAM*) – для создания высокоскоростной кэш-памяти процессора.

Микросхемы динамической памяти организованы в виде квадратной матрицы, причем пересечение строки и столбца матрицы задает одну из элементарных ячеек. При обращении

нии к той или иной ячейке нужно задать адрес нужной строки и столбца. Задание адреса строки происходит, когда на входы микросхемы подается специальный стробирующий импульс *RAS* (*Raw address strobe*), а задание адреса столбца – при подаче импульса *CAS* (*Column address strobe*). Импульсы *RAS* и *CAS* подаются последовательно друг за другом по мультиплексированной шине адреса.

Регенерация в микросхеме происходит одновременно по всей строке матрицы при обращении к любой из ее ячеек, т. е. достаточно циклически перебрать все строки.

7.4.2. Построение блоков ОЗУ. В инженерной практике блоки ОЗУ приходится строить, главным образом, при проектировании или модификации микропроцессорных управляющих устройств. В этом случае блок обычно имеет небольшую емкость (порядка нескольких Кбайт) и строится на статических ОЗУ, например, серии К537.

Методика построения блоков ОЗУ при этом практически не отличается от методики построения блоков ПЗУ, изложенной в 6.4.2. Разница лишь в том, что ОЗУ кроме режимов чтения и хранения имеют режим записи. Поэтому при адресации ОЗУ кроме управляющего сигнала *MR* (чтение ЗУ) надо ввести в логику выбора сигнал *MW* (запись в ОЗУ). Для этого сигнала БИС ОЗУ имеют специальный вход.

Список литературы

1. Токхейм Р. Основы цифровой электроники. – М.: Мир, 1988.
2. Воробьев Н. В., Вернер В. Д. Элементная база и схемотехника средств сопряжения. – М.: Высшая школа, 1984.
3. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство / Пер. с нем. – М.: Мир, 1982.
4. Шило В. Л. Популярныe цифровые устройства: Справочник. – М.: Радио и связь, 1987.
5. Полупроводниковые БИС запоминающих устройств: Справочник / Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. – М.: Радио и связь, 1987.
6. Большие интегральные схемы запоминающих устройств: Справочник / Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. – М.: Радио и связь, 1990.
7. Юшин А. М. Цифровые микросхемы для электронных устройств: Справочник. – М.: Высшая школа, 1993.
8. Петровский И. И., Прибыльский А. В., Троян А. А., Чуевлев В. С. Логические ИС КР1533, КР1554: Справочник. В 2 ч. – М.: БИНОМ, 1996.
9. Бирюков С. А. Применение цифровых микросхем серий ТТЛ и КМОП. – М.: ДМК, 1999.
10. Хоровиц П., Хилл У. Искусство схемотехники / Пер. с англ. / 6-е изд. перераб. – М.: Мир, 2001.
11. Угрюмов Е. П. Цифровая схемотехника. Учебное пособие. – С.-Пб.: BHV-Санкт-Петербург, 2004.
12. Мышляева И. М. Цифровая схемотехника. Учебник. – М.: Академия, 2005.
13. Опадчий Ю. Ф., Глудкин О. П., Гуров А. И. Аналоговая и цифровая электроника. Полный курс. Учебник для вузов. – М.: Горячая линия Телеком, Радио и связь, 2005.

Запонов Эдуард Васильевич,
Мартынов Андрей Александрович,
Марунин Михаил Викторович

Схемотехническое построение элементов электронно-вычислительных машин

Учебно-методическое пособие

Редактор *Е. А. Мясоедова*
 Компьютерная подготовка оригинала-макета *С. В. Макеева*

Подписано в печать 16.01.2015. Формат 60×84/16
 Печать офсетная. Усл. печ. л. ~6,3. Уч.-изд. л. 5,6
 Тираж 300 экз. Зак. тип. 1457-2014

Отпечатано в Издательско-полиграфическом комплексе
 ФГУП «РФЯЦ-ВНИИЭФ»
 607188, г. Саров Нижегородской обл., ул. Силкина, 23



Запонов Эдуард Васильевич

Заместитель директора ФГУП «РФЯЦ-ВНИИЭФ» по тематическому планированию и управлению производством, кандидат технических наук, лауреат премии Правительства Российской Федерации 2013 года в области науки и техники



Мартынов Андрей Александрович

Специалист второй категории службы информационных технологий и бизнес-процессов РФЯЦ-ВНИИЭФ, аспирант РФЯЦ-ВНИИЭФ



Марунин Михаил Викторович

Начальник научно-исследовательской группы РФЯЦ-ВНИИЭФ, кандидат технических наук, лауреат премии Правительства Российской Федерации 2006 года в области науки и техники

ISBN 978-5-9515-0275-9



9 785951 502759