

УДК 621.382.049.77 (035.5)
ББК 32.844.1я2

П38 Кнышев Д. А., Кузелин М.О.
ПЛИС фирмы «Xilinx»: описание структуры основных семейств. — М.: ДМК Пресс, 2017. — 238 с.

ISBN 978-5-97060-546-2

Рассмотрены принципы функционирования и структуры программируемых логических интегральных микросхем (ПЛИС) фирмы «Xilinx» со структурой FPGA и CPLD. Описаны методы проектирования устройств на базе ПЛИС, методы загрузки конфигурации и ПЛИС, а также метод периферийного сканирования для контроля функционирования разработанных устройств. Показана номенклатура продукции фирмы «Xilinx» (микросхемы и программное обеспечение), приведены краткие технические описания.

Для инженеров — разработчиков различных радиоэлектронных и вычислительных устройств, студентов вузов соответствующих специальностей.

УДК 621.382.049.77 (035.5)
ББК 32.844.1я2

Дмитрий Алексеевич КНЫШЕВ
Михаил Олегович КУЗЕЛИН

ПЛИС фирмы «Xilinx»:
описание структуры основных семейств

Редактор *И. С. Кирюхин*
Дизайн обложки *А. А. Бахметьев*
Художественный редактор *М. С. Коршунова*
Графика *А. Ю. Анненков, О. В. Ушакова*
Корректоры *С. И. Шишкина, Н. Ф. Изъюрова*
Технический редактор *Е. В. Рудакова*
Верстка *С. Ю. Волкова*
Выпускающий редактор *Е. Е. Граблевская*

Издательство ДМК Пресс
www.dmkpress.com

Формат 60х90/16. Бумага офсет. Гарнитура «Times New Roman Cyr».
Печать офсетная. Объем 15 п. л. Усл. п. л. — 15. Тираж 50 экз.

ISBN 978-5-97060-546-2

© Кнышев Д. А., Кузелин М. О., текст
© Макет, Додэка-XXI
© Издание, ДМК Пресс, 2017

СОДЕРЖАНИЕ

ГЛАВА 1. ОБЗОР ПРОДУКЦИИ ФИРМЫ «XILINX»	11
1. О продукции фирмы «Xilinx»	11
2. Краткая классификация современных семейств ПЛИС фирмы «Xilinx»	15
2.1. Virtex-II	15
2.2. Virtex, Virtex-E	17
2.3. Spartan-II	21
2.4. Spartan	23
2.5. SpartanXL	24
2.6. XC3000, XC4000, XC5200	25
2.7. XC9500	25
2.8. XC9500XL	27
2.9. XC9500XV	27
2.10. XPLA3 (серия CoolRunner)	27
3. Типы реализации приложений на ПЛИС	30
4. Характерные особенности ПЛИС	31
5. Конфигурационные ПЗУ фирмы «Xilinx»	32
5.1. Серия XC1700	33
5.2. Серия XC18V00	34
5.3. Совместимость XC1700 и XC18V00 с ПЛИС FPGA	35
6. Средства конфигурации ПЛИС	38
7. Инструментальные средства для отладки ПЛИС	38
8. САПР: Обзор продукции	39
8.1. Программное обеспечение Foundation Series	39
8.2. Программное обеспечение Alliance Series	41
8.3. Программное обеспечение WebPACK	46
8.4. Программное обеспечение WebFitter	47
9. Специализированные библиотеки проектирования	47

9.1. Встроенная библиотека элементов схемотехнического редактора Foundation	48
9.2. Встроенный генератор логических блоков LogiBLOX	48
9.3. Программные продукты LogiCORE	48
ГЛАВА 2. ПЛИС СЕМЕЙСТВА VIRTEX™	51
1. Особенности	51
2. Описание	52
3. Обзор архитектуры семейства Virtex	53
3.1. Быстродействие	54
4. Описание архитектуры	54
4.1. Матрица Virtex	54
4.2. Блок ввода-вывода	56
4.2.1. Ввод сигнала	58
4.2.2. Вывод сигнала	59
4.2.3. Банки ввода-вывода	60
4.3. Конфигурируемый логический блок — КЛБ	62
4.3.1. Таблица преобразования	62
4.3.2. Запоминающие элементы	62
4.3.3. Дополнительная логика	65
4.3.4. Арифметическая логика	65
4.3.5. Буферы с тремя состояниями	66
4.3.6. Блочная память (Block RAM)	66
4.4. Программируемая трассировочная матрица	67
4.4.1. Локальные связи	68
4.4.2. Трассировочные ресурсы общего назначения	68
4.4.3. Трассировочные ресурсы для блоков ввода-вывода	69
4.4.4. Специальные трассировочные ресурсы	69
4.4.5. Глобальные трассировочные ресурсы	70
4.5. Распределение сигналов синхронизации	71
4.5.1. Модули автоподстройки задержки (DLL)	71
4.6. Периферийное сканирование (ПС)	72
4.6.1. Регистры данных	75
4.6.2. Порядок битов регистра данных ПС	75
4.6.3. Идентификационные регистры	76
4.6.4. Включение ПС в проект	77
5. Система проектирования	77
5.1. Размещение проекта в кристалл	79
5.2. Верификация проекта	80
6. Конфигурирование кристалла в устройстве	80

СОДЕРЖАНИЕ

6.1. Режимы конфигурирования	81
6.1.1. Подчиненный последовательный режим	82
6.1.2. Ведущий последовательный режим	84
6.1.3. Режим SelectMAP	85
6.1.4. Использование режима периферийного сканирования для конфигурирования Virtex	90
6.2. Последовательность конфигурирования	91
6.2.1. Задержка конфигурирования	91
6.2.2. Последовательность вхождения в штатный режим работы	93
6.3. Формат потока конфигурационных данных	93
7. Обратное считывание	94
8. Характеристики семейства Virtex по постоянному току	94
9. Корпуса	95
10. Обозначение микросхем семейства Virtex	96
ГЛАВА 3. ПЛИС СЕМЕЙСТВА SPARTAN™-II	97
1. Особенности	98
2. Обзор архитектуры семейства Spartan-II	99
2.1. Быстродействие	100
3. Описание архитектуры	100
3.1. Матрица Spartan-II	100
3.2. Блок ввода-вывода	102
3.2.1. Ввод сигнала	104
3.2.2. Вывод сигнала	104
3.2.3. Банки ввода-вывода	105
3.3. Конфигурируемый логический блок	107
3.3.1. Таблица преобразования	108
3.3.2. Запоминающие элементы	109
3.3.3. Дополнительная логика	109
3.3.4. Арифметическая логика	110
3.3.5. Буферы с тремя состояниями	110
3.3.6. Блочная память (Block RAM)	110
3.4. Программируемая трассировочная матрица	112
3.4.1. Локальные связи	112
3.4.2. Трассировочные ресурсы общего назначения	113
3.4.3. Трассировочные ресурсы для блоков ввода-вывода	114
3.4.4. Специальные трассировочные ресурсы	114
3.4.5. Глобальные трассировочные ресурсы	114
3.5. Распределение сигналов синхронизации	115

3.5.1. Модули автоподстройки задержки (DLL)	115
3.6. Периферийное сканирование (ПС)	117
3.6.1. Регистры данных	118
3.6.2. Порядок битов регистра данных ПС	120
3.6.3. Включение ПС в проект	121
4. Система проектирования	121
4.1. Размещение проекта в кристалл	123
4.2. Верификация проекта	123
5. Конфигурирование кристалла в устройстве	124
5.1. Режимы конфигурирования	124
5.2. Сигналы конфигурации	126
5.3. Последовательность конфигурации	126
5.3.1. Инициализация конфигурирования	126
5.3.2. Очистка конфигурационной памяти	128
5.3.3. Загрузка конфигурационных данных	129
5.3.4. Проверка контрольной суммы	129
5.3.5. Последовательность вхождения в штатный режим работы	129
5.4. Последовательные режимы конфигурации	130
5.4.1. Подчиненный последовательный режим (Slave Serial)	130
5.4.2. Ведущий последовательный режим (Master Serial)	133
5.5. Подчиненный параллельный режим (Slave Parallel)	135
5.5.1. Запись	136
5.5.2. Преждевременное прекращение процедуры	139
5.6. Использование режима периферийного сканирования для конфигурирования Spartan-II	139
6. Обратное считывание	140
7. Характеристики микросхем семейства Spartan-II по постоянному току	140
8. Корпуса	142
9. Обозначение микросхем Spartan-II	142
ГЛАВА 4. ПЛИС CPLD СЕМЕЙСТВА XC9500	143
1. Особенности семейства	143
2. Обзор семейства	144
3. Описание архитектуры семейства XC9500	144
3.1. Функциональный блок	146
3.2. Макроячейка	147
3.3. Распределитель термов	149

СОДЕРЖАНИЕ

3.4. Быстродействующая переключающая матрица	151
3.5. Блок ввода-вывода	152
4. Возможность закрепления контактов	155
5. Программирование в системе	156
6. Протокол периферийного сканирования IEEE Std. 1149.1	156
7. Защита проекта от копирования	158
8. Режим пониженного потребления энергии	158
9. Модель задержек распространения сигналов (временная модель)	159
10. Характеристики при включении питания	161
11. Программное обеспечение проектирования	162
12. Технология производства	162
13. Характеристики семейства XC9500 по постоянному току	162
14. Сопряжение с аналоговыми элементами	164
15. Микросхема XC9536	164
15.1. Описание	164
15.2. Потребление тока	165
15.3. Динамические параметры микросхем XC9536	165
15.4. Параметры временной модели	165
15.5. Корпуса	168
15.6. Обозначение микросхем XC9536	169
16. Микросхема XC9572	169
16.1. Описание	169
16.2. Потребление тока	170
16.3. Динамические параметры микросхем XC9572	170
16.4. Параметры временной модели	171
16.5. Корпуса	171
16.6. Обозначение микросхем XC9572	172
17. Микросхема XC95108	174
17.1. Описание	174
17.2. Потребление тока	174
17.3. Динамические параметры микросхем XC95108	174
17.4. Параметры временной модели	176
17.5. Корпуса	176
17.6. Обозначение микросхем XC95108	176
18. Микросхема XC95144	178
18.1. Описание	178
18.2. Потребление тока	178
18.3. Динамические параметры микросхем XC95144	180
18.4. Параметры временной модели	180

18.5. Корпуса	180
18.6. Обозначение микросхем XC95144	180
19. Микросхема XC95216	183
19.1. Описание	183
19.2. Потребление тока	183
19.3. Динамические параметры микросхем XC95216	184
19.4. Параметры временной модели	184
19.5. Корпуса	184
19.6. Обозначение микросхем XC95216	188
20. Микросхема XC95288	189
20.1. Описание	189
20.2. Потребление тока	189
20.3. Динамические параметры микросхем XC95288	190
20.4. Параметры временной модели	190
20.5. Корпуса	190
20.6. Обозначение микросхем XC95288	190

ГЛАВА 5. ПЛИС CPLD СЕМЕЙСТВА XC9500XL 195

1. Особенности	195
2. Обзор семейства	196
3. Описание архитектуры семейства XC9500XL	197
3.1. Функциональный блок	199
3.2. Макроячейка	200
3.3. Распределитель термов	202
3.4. Быстродействующая переключающая матрица	202
3.5. Блок ввода-вывода	202
4. Возможность закрепления контактов	207
5. Программирование в системе	208
6. Протокол периферийного сканирования IEEE Std. 1149.1	210
7. Защита проекта от копирования	210
8. Режим пониженного потребления энергии	211
9. Модель задержек распространения сигналов (временная модель)	211
10. Характеристики при включении питания	214
11. Программное обеспечение проектирования	215
12. Технология производства	215
13. Характеристики семейства XC9500XL по постоянному току	215
14. Сопряжение с аналоговыми элементами	216
15. Микросхема XC9536XL	217
15.1. Описание	217

СОДЕРЖАНИЕ

15.2. Потребление тока	217
15.3. Динамические параметры микросхем XC9536XL	217
15.4. Параметры временной модели	219
15.5. Корпуса	220
15.6. Обозначение микросхем XC9536XL	221
16. Микросхема XC9572XL	222
16.1. Описание	222
16.2. Потребление тока	222
16.3. Динамические параметры микросхем XC9572XL	223
16.4. Параметры временной модели	224
16.5. Корпуса	226
16.6. Обозначение микросхем XC9572XL	226
17. Микросхема XC95144XL	227
17.1. Описание	227
17.2. Потребление тока	227
17.3. Динамические параметры микросхем XC95144XL	228
17.4. Параметры временной модели	228
17.5. Корпуса	231
17.6. Обозначение микросхем XC95144XL	231
18. Микросхема XC95288XL	232
18.1. Описание	232
18.2. Потребление тока	232
18.3. Динамические параметры микросхем XC95288XL	233
18.4. Параметры временной модели	233
18.5. Корпуса	236
18.6. Обозначение микросхем XC95288XL	237
ЛИТЕРАТУРА	238